

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-037425

(43)Date of publication of application : 07.02.1990

(51)Int.Cl.

G06F 9/24  
G06F 9/445  
G06F 13/00  
G06F 15/16

(21)Application number : 63-187527

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.07.1988

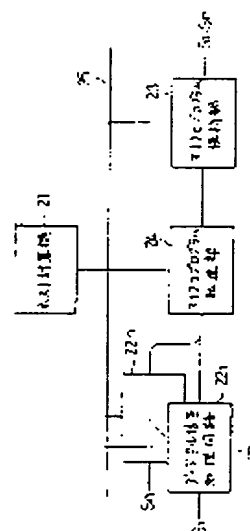
(72)Inventor : OSAKI EIJI

## (54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

**PURPOSE:** To control combination on the operation among respective digital signal processing parts in accordance with processing contents by receiving a command from a host computer to successively read out a microprogram and successively transferring it to a designated digital signal processing part.

**CONSTITUTION:** A signal processing part 22 consisting of one or plural digital signal processing circuits (for example, DSP) 221-22n is placed under a control bus 25 and is driven with a microprogram holding part 23 and a microprogram transfer part 24, and only processing sequence setting to the microprogram holding part 23 and the transfer part 24 is performed by a host computer with respect to the control of the whole of hardware. Status signals S1-Sn are outputted from digital signal processing parts 221-22n and each is sent to the microprogram transfer part 24 together. Thus, combination on the operation among digital signal processing parts is controlled in accordance with processing contents.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-37425

⑬ Int. Cl.<sup>3</sup>

G 06 F 9/24  
9/445  
13/00  
15/16

識別記号

3 1 0

3 0 5 A  
4 2 0 S

庁内整理番号

7361-5B

7230-5B  
6745-5B  
7361-5B

⑭ 公開 平成2年(1990)2月7日

G 06 F 9/06 4 2 0 K  
審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 デジタル信号処理装置

⑯ 特 願 昭63-187527

⑰ 出 願 昭63(1988)7月27日

⑱ 発 明 者 大 崎 英 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

デジタル信号処理装置

2. 特許請求の範囲

それぞれ内部にマイクロプログラム保持機能を有し、保持したマイクロプログラムに従って入力デジタル信号を処理する複数個のデジタル信号処理手段と、この複数個のデジタル信号処理手段で処理すべき機能に応じた複数のマイクロプログラムが予め保持されるマイクロプログラム保持手段と、このマイクロプログラム保持手段で保持される任意のマイクロプログラムを任意のデジタル信号処理手段に転送するよう処理手順を設定した指令信号を送出するホスト計算機と、このホスト計算機からの指令信号を受けて前記マイクロプログラム保持手段から指定されたマイクロプログラムを順次読出して指定されたデジタル信号処理手段に順次転送するマイクロプログラム転送手段とを具備するデジタル信号処理装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、例えばリモートセンシングや医用、あるいは産業計測等の分野で用いられる画像信号処理に利用され、多種のデジタル信号を高速処理可能なデジタル信号処理装置に関する。

(従来の技術)

汎用画像信号処理装置に用いられるデジタル信号処理装置 (= DSP : Digital Signal Processor) は、それぞれ目的に応じた機能を有する複数のデジタル信号処理部を備え、各処理部でそれぞれ異なる信号処理を実行させるものと、それぞれ内部の信号処理用マイクロプログラムを容易に交換可能とした複数のデジタル信号処理部を備え、各処理部のマイクロプログラムを入れ替えて様々な処理機能を実現するものとがあるが、一般には、処理機能が柔軟なことからプログラマブルなデジタル信号処理手段が利用されることが多かった。

このようなデジタル信号処理装置は、第4図に示すようにホスト計算機11の制御の下で、制御バス12を経由して、デジタル信号処理部13を1個ないし複数個備かせるようになっている。尚、デジタル信号処理部13には信号処理を実行させるマイクロプログラム保持用メモリを内部に具備する場合と、外部に持つ場合とがある。

ところで、上記ようなプログラマブルなデジタル信号処理手段によるデジタル信号処理装置には以下のような問題がある。

第1に、処理に応じてデジタル信号処理部13のマイクロプログラムを書き替える必要があるので、複数の処理をシーケンシャルに行う場合、各処理毎にマイクロプログラムをホスト計算機11より送せねばならず、データ処理時間の遅延を招く一因となる。第2に、複数のデジタル信号処理部13で並列に信号処理させる場合も、ホスト計算機11のソフトウェアによる管理が煩雑になり、かつ、制御バス12は1本であって同時にはマイクロプログラムを送ることができないため、マイク

ロプログラムの転送時間がそのまま積算され、同じくデータ処理時間の遅延を招く。第3に、ホスト計算機11が複数のデジタル信号処理部13を管理しているため、他の処理を行う余裕が乏しい。

(発明が解決しようとする課題)

以上述べたように従来のプログラマブルなデジタル信号処理手段を用いたデジタル信号処理装置では、マイクロプログラムを転送するのに時間を費すばかりか、複数のデジタル信号処理部を制御するのが煩雑であるため、データ処理時間が遅延し、さらには他の処理実行の余裕がなくなってしまう。

そこでこの発明は上記の欠点を除去すべく、なされたもので、複数のデジタル信号処理部のマイクロプログラムを容易にかつ高速で交換することができ、これによって多種の信号処理を高速で並列処理可能で、ホスト計算機の負担を軽減でき、処理内容に応じて各デジタル信号処理部の運用上の組合わせを制御可能なデジタル信号処理装置を提供することを目的とする。

#### [発明の構成]

(課題を解決するための手段)

上記目的を達成するためにこの発明に係るデジタル信号処理装置は、それぞれ内部にマイクロプログラム保持機能を有し、保持したマイクロプログラムに従って入力デジタル信号を処理する複数のデジタル信号処理手段と、この複数のデジタル信号処理手段で処理すべき機能に応じた複数のマイクロプログラムが予め保持されるマイクロプログラム保持手段と、このマイクロプログラム保持手段で保持される任意のマイクロプログラムを任意のデジタル信号処理手段に転送するよう処理手順を設定した指令信号を送出するホスト計算機と、このホスト計算機からの指令信号を受けて前記マイクロプログラム保持手段から指定されたマイクロプログラムを順次読出して指定されたデジタル信号処理手段に順次転送するマイクロプログラム転送手段とを具備して構成される。

(作用)

上記構成によるデジタル信号処理装置では、マイクロプログラム保持手段に複数のマイクロプログラムを保持することができ、ホスト計算機からデジタル信号処理手段への転送時間を省略され、或いは少なくともデジタル信号処理過程での転送時間を省略することができる。また、マイクロプログラム転送手段により予め設定された手順で任意のマイクロプログラムを任意のデジタル信号処理手段に送出できるので、ホスト計算機の管理を省略できる。また、複数のデジタル信号処理手段を並列運転する際にも適切にこれを制御できるので、同じくホスト計算機の管理を省略できる。このため、ホスト計算機では、デジタル信号処理起動後はデジタル信号処理装置が独立して処理を行うので、別の処理を実行することが容易となる。

(実施例)

以下、この発明の一実施例を第1図及び第2図を参照して説明する。

第1図はその構成を示すもので、このディジタ

ル信号処理装置は、1個又は複数個のデジタル信号処理回路(例えばDSP)221~22nからなる信号処理部22を制御バス25下に有し、これをマイクロプログラム保持部23とマイクロプログラム転送部24を用いて駆動し、ハードウェアの全体制御として、マイクロプログラム保持部23及び転送部24への処理シーケンス設定のみをホスト計算機21に行わせるよう構成したものである。デジタル信号処理部221~22nからはステータス信号 $S_1 \sim S_n$ が出力され、各ステータス信号 $S_1 \sim S_n$ は共にマイクロプログラム転送部24に送られるようになっている。

第2図に上記マイクロプログラム保持部23に対する転送部24の具体的構成を示すしてさらに詳述すると、まずマイクロプログラム保持部23のメモリとして、例えばRAM(読出し書き込みメモリ)を用いる。この場合、ホスト計算機21より必要なマイクロプログラムを事前にRAMに転送して保持させておく。ROM(読出し専用メモリ)を用いる場合は、適切なマイクロプログラムに書込

ネル制御回路244で構成される。

シーケンス制御情報保持用メモリ241はホスト計算機21からのシーケンス制御情報Aを保持するものである。シーケンス制御回路242は、ホスト計算機21から処理実行の起動コマンドを受けて、メモリ241から登録番号順に制御情報Aを読み取り、その制御情報Aに従ってマイクロプログラム保持部23から指定されたマイクロプログラムを読出し、チャンネル制御回路244を切替設定して指定されたデジタル信号処理回路にマイクロプログラムを転送する。この転送が終了すると、コマンド信号発生回路243を起動してハードウェアに則したコマンド信号をそのデジタル信号処理回路に送り、1群の転送処理を終える。すると、デジタル信号処理回路(221~22n)からステータス信号( $S_1 \sim S_n$ )が得られるので、これを受取って次の登録番号の転送処理を実行するようになっている。

上記構成において、以下その動作について説明する。

まれたROMを装着しておく。

ホスト計算機21では、どのようなデジタル信号処理をどのようなシーケンスで行うか、さらにどのようにデジタル信号処理回路を組み合わせて処理を行うかのシーケンス制御情報Aを生成し、この制御情報Aをマイクロプログラム転送部24のシーケンス制御情報保持用メモリ241に送り、マイクロプログラム変更時には処理実行の起動コマンドBを発生してマイクロプログラム転送部24のシーケンス制御回路242に送る。

シーケンス制御情報Aは、第3図に示すように、処理の一群を示す登録番号 $A_1$ 、マイクロプログラムの転送先を指定する転送先アドレス $A_2$ 、転送するマイクロプログラムのバイト数 $A_3$ 、マイクロプログラム保持部23内での転送マイクロプログラムの先頭番地を指示するメモリ内先頭アドレス $A_4$ を信号処理順に順次生成される。

マイクロプログラム転送部24は、上記シーケンス制御情報保持用メモリ241、シーケンス制御回路242の他、コマンド信号発生回路243、チャン

まず、ホスト計算機21でシーケンス制御情報Aを作成し、これを制御バス25を通じてシーケンス制御情報保持用メモリ241に入力した後、起動コマンドBをシーケンス制御回路242に送る。シーケンス制御回路242は、起動コマンドBを受けてメモリ241から登録番号 $A_1$ を読み取り、登録番号順に転送処理を実行する。

一群の登録番号 $A_1$ において、シーケンス制御回路242は以下の手順で転送処理を実行する。

まず転送先アドレス $A_2$ を読み取ってチャンネル制御回路244に送り、転送先のデジタル信号処理回路221をマイクロプログラム書換状態とするよう、信号処理部22へチャンネル切替信号を送出させる。次に、バイト数 $A_3$ 及びメモリ内先頭アドレス $A_4$ を読み取ってマイクロプログラム保持部23に送り、指定されたマイクロプログラムを保持部23から読出してチャンネル制御回路244を介してデジタル信号処理回路221へ転送させる。この転送が終了すると、コマンド信号発生回路243を起動してハードウェアに則したコマンド信号を

、そのデジタル信号処理回路221に送り、1群の転送処理を終える。

デジタル信号処理回路221はマイクロプログラムの書換えが終了すると、ステータス信号S1を発生する。このステータス信号S1はシーケンス制御回路242に送られ、シーケンス制御回路242はこのステータス信号S1の入力後、次の登録番号の転送処理に移行し、登録番号A<sub>1</sub>が最大となるまで、つまり初期設定されたシーケンスが完了するまでこれを繰り返す。

したがって、上記構成によるデジタル信号処理装置は、マイクロプログラム保持部23に複数のマイクロプログラムを保持することができるので、ホスト計算機21からの転送時間を省略する（ROM使用時）か、少なくとも信号処理過程での転送時間を省略する（RAM使用時）ことができる。また、マイクロプログラム転送部により予め設定された手順で任意のマイクロプログラムを任意のデジタル信号処理回路に転送できるため、ホスト計算機21の管理を省略できる。さらに、複

数のデジタル信号処理回路221～22nを並列運転する際にも、チャンネル制御回路244が適切にこれを制御するため、同じくホスト計算機21の管理を省略できる。以上のことから、ホスト計算機21は、処理のシーケンスと、各デジタル信号処理回路221～22nへの負荷の割り当てを事前に設定すれば、起動後はデジタル信号処理装置が独立して処理を行うため、別の処理を実行することが容易となる。

尚、上記実施例ではホスト計算機21が制御バス25上に配置されているが、バス25下に専用のコントローラを置いても良い。また、画像処理装置に用いる場合には、必要に応じて画像等を保持するメモリを制御バス25下に配置しても良い。また、ハード的に1ボード上に実現しても複数のボード上に実現しても良い。

また、第2図において、デジタル信号処理回路が1個のみの場合は特殊なケースとしてシーケンス制御情報保持用メモリ241、シーケンス制御回路242、チャンネル制御回路244を省略しても

良い。また、第1図において、デジタル信号処理回路221～22n間、または外部のメモリ間をローカルバスで接続してもよいことは勿論である。

#### 【発明の効果】

以上述べたようにこの発明によれば、複数のデジタル信号処理部のマイクロプログラムを容易にかつ高速で交換することができ、これによって多種の信号処理を高速で並列処理可能で、ホスト計算機の負担を軽減でき、処理内容に応じて各デジタル信号処理部の運用上の組合わせを制御可能なデジタル信号処理装置を提供することができる。

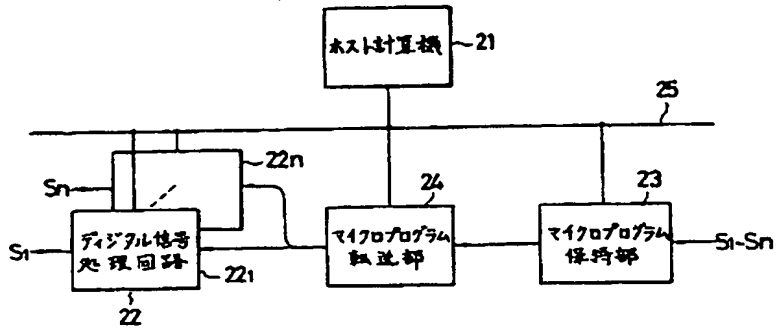
#### 4. 図面の簡単な説明

第1図はこの発明に係るデジタル信号処理装置の一実施例を示すブロック回路図、第2図は第1図の主要部分の詳細な実施例を示すブロック回路図、第3図はシーケンス制御情報の例を示すメモリマップ、第4図は従来のデジタル信号処理装置の基本例を示すブロック回路図である。

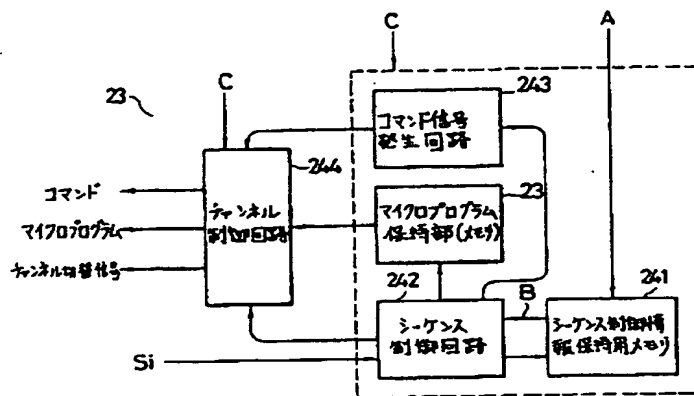
21…ホスト計算機、22…信号処理部、221…

22n…デジタル信号処理回路(DSP)、23…マイクロプログラム保持部、24…マイクロプログラム転送部、241…シーケンス制御情報保持用メモリ、242…シーケンス制御回路、243…コマンド信号発生回路、244…チャンネル制御回路、25…制御バス、A<sub>1</sub>…登録番号、A<sub>2</sub>…転送先アドレス、A<sub>3</sub>…バイト数、A<sub>4</sub>…メモリ内先頭アドレス。

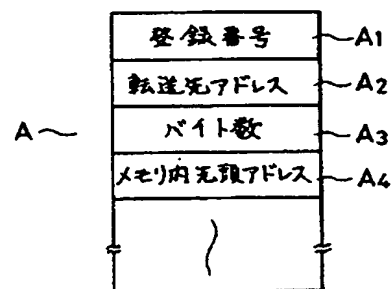
出願人代理人 弁理士 鈴 江 武 彦



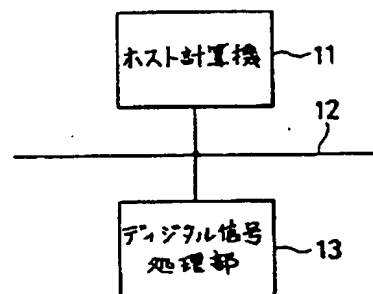
第 1 図



第 2 図



第 3 図



第 4 図